

INF-126



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

M. BERNHARD SOMMER

Serial No. 10/753,407

Art Unit: 2818

Filed: January 9, 2004

Examiner: Unknown

For: INTEGRATED SEMICONDUCTOR MEMORY CIRCUIT AND METHOD
OF MANUFACTURING THE SAME

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

German Patent Appln. No. 103 00 687.7 filed January 10, 2003

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:

A handwritten signature in black ink, appearing to read "Michael A. Oblon".

Michael A. Oblon
Reg. No. 42,956

Date: June 14, 2004
SHAW PITTMAN LLP
1650 Tysons Boulevard
McLean, VA 22102
Tel: (703) 770-7645



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 00 687.7

Anmeldetag: 10. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Integrierte Halbleiterschaltung insbesondere
Halbleiterspeicherschaltung und
Herstellungsverfahren dafür

IPC: H 01 L, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

4013

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12408

Ko/Ant/mk

Anmelderzeichen: 2002P16325 DE
(2002 E 16324 DE)

10.01.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Integrierte Halbleiterschaltung
insbesondere Halbleiterspeicherschaltung und Herstellungsverfahren dafür

Beschreibung

Integrierte Halbleiterschaltung insbesondere Halbleiterspeicherschaltung und Herstellungsverfahren dafür

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung mit in aneinander grenzenden Wannen jeweils eines ersten und zweiten Leitungstyps, die in ein Substrat implantiert sind, gebildeten aktiven Bauelementen, die jeweils Substratkontakte aufweisen sowie ein Herstellungsverfahren dafür.

10

Bei der Implantation von N- und P-leitenden Wannen in einem Halbleitersubstrat kommt es zu Parameterschwankungen der Strukturen der in den Wannen gebildeten aktiven Bauelemente, wie zum Beispiel Transistoren, die von einem so genannten "Well-Scattering" herrühren. Dieses Well-Scattering tritt auf, da aufgrund des Channelling-Effekts das die Implantation bewirkende Ionenstrahlbündel unter einem gewissen Winkel, das heißt nicht senkrecht zur Waferoberfläche eingestrahlt wird. Ein Einschusswinkel parallel zu den Kristallebenen ist nämlich zu vermeiden. Dieser Winkel hat aber zur Folge, dass das Ionenstrahlbündel an einer durch eine Stufe gebildeten Kante gestreut wird.

15

20

25

Die Wirkung dieses Streuphänomens wird anhand der beiliegenden Fig. 1 veranschaulicht. Fig. 1 zeigt schematisch einen Abschnitt an der Oberfläche eines Halbleiterwafers, in dem eine Implantation durch ein unter einem Einstrahlwinkel α eingestrahlt Ionenstrahlbündel B durchgeführt wird. Diese Implantation erfolgt in eine Wanne 11, die zum Beispiel eine N-dotierte Wanne ist. Ein daneben liegender Bereich, zum Beispiel eine P-dotierte Wanne 12 ist durch eine Fotore-sistschicht 3 abgedeckt, deren linke Kante eine strichpunkt-
tiert eingezeichnete Grenze G zwischen dem Wannenbereich 11 und dem daneben liegenden Wannenbereich 12 definiert.

30

35

Bedingt durch den notwendigen Einstrahlwinkel α wird das Ionenstrahlbündel B an der Seitenwand des Fotoresists 3 gestreut. Die Streuung des Ionenstrahlbündels B bei der Wannен-implantation hat aber zur Folge, dass an der Substratoberfläche eine zusätzliche nicht gewollte und auch nicht kontrollierbare Dotierung stattfindet. Wenn diese aufgrund der Streuung des implantierenden Ionenstrahlbündels B an der Seitenwand des Fotoresists 3 stattfindende ungewollte Verunreinigung einen Bereich 2 eines aktiven Bauelements, wie zum Beispiel einen FET verunreinigt, können sich der betroffene Transistor und weiterhin alle von dieser ungewollten Implantationsverunreinigung betroffene Bauelemente völlig anders verhalten als dies der Entwurf vorsieht und die Simulation ergibt. Dies führt zu Funktionsproblemen der Halbleiterschaltung.

Das oben geschilderte Problem wurde bisher dadurch gelöst, dass für aktive Bereiche in der implantierten Wanne genügend Abstand zu der Grenze G eingehalten wurde, das heißt, dass die aktiven Bauelemente weit genug vom Streustrahl entfernt platziert waren. Allerdings treten mit zunehmend kleiner werdenden Strukturgrößen vermehrt Probleme auf, die sich in der Herstellungsausbeute und in der Bauteilequalität bemerkbar machen. Zur Abhilfe wurden speziell beim DRAM-Herstellungsprozess so genannte "Quad-Implants" verwendet. Damit wurde jede einzelne Speicherbank individuell mit jeweils wechselnder Einstrahlrichtung des Ionenstrahlbündels implantiert. Dies hat zur Folge, dass der Wannенimplantationsschritt in vier Schritte aufgeteilt wurde, und dadurch erhöhten sich die Kosten für diesen Schritt um das Vierfache. Der verwendete "Quad-Implant" macht es jedoch möglich, dass die Streuung nur an den Wannенkanten erzeugt wird, die am unkritischsten sind.

Da eine sehr wichtige Anwendung der Wannенimplantation, wie erwähnt, bei der Herstellung von DRAM-Halbleiterspeicher-

bausteinen vorliegt, wird nachstehend anhand der Fig. 2A und 2B eine prinzipielle Grobstruktur bekannter DRAM-Halbleiterspeicher und daran noch einmal das Problem des Well-Scattering erläutert.

5

Fig. 2A zeigt eine schematische Draufsicht auf einen kleinen Abschnitt eines DRAMs 10. Zu beiden Seiten einer durch eine einfache gestrichelte Linie angedeuteten, in der Figur waagrecht verlaufenden Symmetrielinie S befinden sich jeweils aneinander grenzende P- und N-Wannen 12, 11, deren Layout/Schaltungsstrukturen spiegelsymmetrisch zur Symmetrieachse S sind. In Fig. 2A ist dies dadurch veranschaulicht, dass einander entsprechende oder identische Schaltungsstrukturen, die an den mit a1 bezeichneten Seiten hier zum Beispiel der P-Wannen 12, gebildet sind, symmetrisch zu der Symmetrieachse S liegen. Der Grund für diese Symmetrie liegt in der einfachen Layoutgenerierung oder ist historisch. Die Speicherzellen werden folglich einfach gespiegelt. Der Nachteil dieser Spiegelung ist, dass zum Beispiel eine Schaltungsstruktur an einer mit a1 bezeichneten Seite der P-Wanne 12 auf einer Seite des Chips 10 mit einer Streustrahlung, die von dem schräg einfallenden Ionenstrahlbündel B hervorgerufen wird, belastet ist, während auf der anderen Seite des Chips die Schaltungsseite a1 nicht belastet ist. Dies hat aber zur Folge, dass die auf beiden Seiten der Symmetrielinie S liegenden Chiphälften unterschiedlich prozessiert werden und somit nicht identisch gemacht werden können.

In Fig. 2B ist eine Detailansicht der Fig. 2A schematisch dargestellt, wobei zwei Wannen, nämlich eine N-Wanne 11 und eine P-Wanne 12 nebeneinander liegen und durch eine Grenze G2 getrennt sind. Wie bereits anhand der Fig. 1 beschrieben, ist bei der Implantation der N-Wanne 11 die P-Wanne 12 durch ein WP-Resist 3 abgedeckt. Bedingt durch die Streustrahlung an der Kante der WP-Resistschicht werden in der oben geschilderten Weise die aktiven Bauelemente in einem Randbereich 13 der

N-Wanne 11, der der Seite a2 der P-Wanne zugekehrt ist, unerwünscht dotiert und schädlich beeinflusst. Dies gilt in dem anhand der Fig. 2A und 2B dargestellten Beispiel für die in der Zeichnung unterhalb der Symmetrielinie S liegenden aktiven Strukturen in der N-Wanne 11, aufgrund der Symmetrieeigenschaft aber nicht für die entsprechenden aktiven Schaltungsstrukturen in einer oberhalb der Symmetrielinie S liegenden N-Wanne 11. Es braucht hier nicht gesondert erwähnt zu werden, dass bei der Implantation der P-Wannen 12 die N-Wanne 11 durch ein WP-Resist abgedeckt wird, und dass dann bei der Implantation der P-Wanne durch das Well-Scattering die entsprechenden aktiven Bauteile in den P-Wannen 12 auf der einen Seite der Symmetrielinie S negativ beeinflusst werden.

Es ist somit Aufgabe der Erfindung, das oben beschriebene Problem bei der Herstellung einer integrierten Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung zu vermeiden und eine derartige integrierte Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung so zu ermöglichen, dass bei der Wannenimplantation keine schädliche Beeinflussung der Parameterwerte der aktiven Bauelemente vorkommen kann, dadurch die Zuverlässigkeit und Lebensdauer einer derartigen integrierten Halbleiterschaltung gesteigert und die Herstellungskosten gesenkt werden können.

Die Aufgabe wird anspruchsgemäß gelöst. Gemäß einem ersten wesentlichen Aspekt der Erfindung ist eine integrierte Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung, dadurch gekennzeichnet, dass die Substratkontakte der aktiven Bauelemente in unmittelbarer Nähe einer die aneinander grenzenden Wannen begrenzenden Kante und die sonstigen Strukturen der aktiven Bauelemente weiter weg von dieser Kante liegen. Weiterhin erfindungsgemäß sind bei einer derartigen integrierten Halbleiterschaltung die Schaltungs-/Layoutstrukturen nicht spiegelsymmetrisch zur Mittellinie des Halbleiterschaltungschips gestaltet.

Bei einer erfindungsgemäßen DRAM-Halbleiterschaltung ist die eine Wanne eine P-dotierte Wanne und die andere der aneinander grenzenden Wanne eine N-dotierte Wanne, wobei die aktiven Bauelemente in der P-dotierten Wanne N-Kanal-FETs und die aktiven Bauelemente in der N-dotierten Wanne P-Kanal-FETs aufweisen, und die Substratkontakte der N-Kanal-FETs zur P-dotierten Wanne und die Substratkontakte der P-Kanal-FETs zur N-dotierten Wanne in unmittelbarer Nähe der Grenze zwischen den beiden Wannen liegen.

Gemäß einem zweiten wesentlichen Aspekt ist ein die obige Aufgabe lösendes Verfahren zur Herstellung einer integrierten Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung, bei dem durch Ionenstrahlimplantation mit einem schräg zu den Kristallebenen stehenden bestimmten Einstrahlwinkel des Ionenstrahls in einem Substrat aneinander grenzende Wannen jeweils eines ersten und zweiten Leitungstyps implantiert und in den Wannen aktive Bauelemente mit jeweiligen Substratkontakten gebildet werden, dadurch gekennzeichnet, dass die Substratkontakte der aktiven Bauelemente in unmittelbarer Nähe eine Kante zwischen den aneinander grenzenden Wannen und die sonstigen Strukturen der aktiven Bauelemente in den aneinander grenzenden Wannen weiter entfernt von dieser Kante gebildet werden.

Somit schlägt die Erfindung zur Lösung des eingangs geschilderten Problems eine Schaltungs-/Layoutanordnung in Verbindung mit einer "Design-Rule"-Änderung vor. Die Grundidee liegt darin, dass Substratkontakte bzw. Bulkanschlüsse in unmittelbarer Nähe zu den das implantierende Ionenstrahlbündel streuenden Kanten zu platzieren sind. Dies hat zur Folge, dass die Streuimplantation sogar positiv genutzt werden kann. Es wird die Kontaktimplantation der Bulkanschlüsse dadurch verbessert. Zusätzlich muss Sorge dafür getragen werden, dass die Schaltungs-/Layoutspiegelung aufgehoben wird, wie sie bei DRAM-Design bislang üblich war, da es nicht möglich ist, den

Implantationswinkel des Ionenstrahlbündels nur für eine Chip-
hälfte zu ändern.

Die obigen und weitere vorteilhafte Merkmale werden unter
5 Bezug auf die Zeichnung in der nachstehenden Beschreibung
eines bevorzugten Ausführungsbeispiels einer integrierten
Halbleiterschaltung, das beispielhaft eine DRAM-
Speicherschaltung betrifft, näher erläutert. Die Zeichnungs-
figuren zeigen im Einzelnen:

10
Fig. 1 den eingangs schon beschriebenen schematischen
Querschnitt durch eine integrierte Halbleiter-
schaltung zur Erläuterung des "Well-Scattering"-
Phänomens;

15
Fig. 2A und 2B schematisch eine Aufsicht auf wesentliche
Schaltungsblöcke eines herkömmlichen DRAM-Spei-
cherchips;

20
Fig. 3 schematisch eine Aufsicht auf für die Erfindung
wesentliche Schaltungsblöcke eines erfindungsge-
mäß gestalteten DRAM-Speichers und

25
Fig. 4 eine schematische Aufsicht, die Details des er-
findungsgemäßen DRAM-Speicherchips von Fig. 3 in
an einer Grenze G aneinander grenzenden Wannen
zeigt.

Fig. 3 zeigt schematisch eine Aufsicht mit für die Erfindung
30 wesentlichen Blöcken eines als Beispiel für eine erfindungs-
gemäße integrierte Halbleiterschaltung dienenden DRAM-Spei-
cherchips 10. Im Vergleich mit Fig. 2A, die eine ähnliche
Aufsicht auf einen Abschnitt eines bekannten DRAM-
Speicherchips zeigt, sind bei dem in Fig. 3 gezeigten DRAM-
35 Chip 10 die Schaltungsstrukturen nicht symmetrisch zur hori-
zontalen Mittellinie M gebildet. Die N-Wannen 11 liegen alle

auf derselben Seite der P-Wannen 12. Außerdem weisen die einander entsprechenden Seiten a1 (lediglich beispielhaft der P-Wannen 12), die jeweils die gleichen Schaltungsstrukturen in den Wannen bezeichnen, sämtlich in eine Richtung und die anderen einander entsprechenden Seiten a2 derselben Wanne in die entgegengesetzte Richtung. Gleiches gilt für die N-Wannen 11. Bei der beispielhaft angenommenen Implantation der N-Wannen 11 durch das Ionenstrahlbündel B, das unter einem bestimmten Winkel einfällt, tritt kein Well-Scattering auf, da die N-Wannen alle auf der einen Seite, das heißt auf der Seite der P-Wannen liegen, an denen keine Streuung des Ionenstrahlbündels B stattfindet. Fig. 3 verdeutlicht auch die Bereiche 13 in den N-Wannen 11, die an die Wannengrenzen G angrenzen, und die nun bedingt durch die Maßnahmen, die die Erfindung vorschlägt, hinsichtlich der aktiven Bauelemente nicht mehr kritisch sind.

Für die Implantation der P-Wannen 12 wird dann der Einstrahlwinkel des Ionenstrahlbündels B verändert bzw. der Wafer um 180° gedreht, und zwar so, dass das Ionenstrahlbündel B an der den P-Wannen gegenüberliegenden Kanten des die N-Wannen dann abdeckenden Fotoresists nicht mehr gestreut wird.

Oben wurde bezogen auf Fig. 3 im Vergleich mit Fig. 2A und 2B anhand einer erfindungsgemäß gestalteten DRAM-Speicherschaltung erläutert, dass gemäß einem wesentlichen Merkmal der Erfindung die Spiegelsymmetrie der Schaltungsstruktur und des Layouts gegenüber der Mittellinie M aufgehoben ist. Wie schon erwähnt, wird nicht nur der schädliche Effekt der Streuimplantation vermieden, indem das Layout und die Schaltungsstrukturen nicht mehr spiegelsymmetrisch sind, sondern auch eine dennoch auftretende Streuimplantation positiv genutzt, indem die Substrat- bzw. Bulkkontakte in die unmittelbare Nähe der Grenze G zwischen den beiden aneinander grenzenden Wannen 11 und 12 gelegt werden. Die Streuimplantation verbessert die Kontaktimplantation der Substrat- bzw. Bulkanschlüsse. Dies ist anhand der schematischen Aufsicht

se. Dies ist anhand der schematischen Aufsicht der Fig. 4 dargestellt, die vergrößert einen Bereich der P-Wanne 12 und der N-Wanne 11 zu beiden Seiten der Grenze G darstellt. Die Ziffern 17 und 18 bezeichnen jeweils Substrat- bzw. Bulkkontakte, zum Beispiel von in der P-Wanne 12 liegenden N-FETs 15 sowie in der N-Wanne 11 liegenden P-FETs. Es ist deutlich, dass diese Substrat- bzw. Bulkkontakte 17 und 18 in unmittelbarer Nähe der Grenze G zwischen den beiden Wannen 11 und 12 platziert sind. Die sonstigen Strukturen der aktiven Komponenten liegen weiter weg von der Kante G. Deshalb ist eine Design-Rule-Änderung notwendig, die erkennt, ob eine aktive Schaltungsstruktur, zum Beispiel ein FET genügend weit von der Grenzlinie G entfernt ist. Dagegen sollen die Substrat- bzw. Bulkkontakte 17 und 18 nahe an der Wannenkante G liegen, um dadurch die Kontaktimplantation der Substrat- bzw. Bulkkontakte zu verbessern.

Im obigen Ausführungsbeispiel wurde eine erfindungsgemäße integrierte Halbleiterschaltung beispielhaft anhand einer DRAM-Halbleiterschaltung beschrieben. Das Prinzip der Erfindung lässt sich jedoch auch auf andere integrierte Halbleiterschaltungen übertragen, bei denen die schädliche Auswirkung der Streuimplantation bei der Wannenimplantation mittels eines Ionenstrahlenbündels in zwei nebeneinander liegenden, mit aktiven Bauelementen belegten Wannen vermieden werden soll.

Patentansprüche

1. Integrierte Halbleiterschaltung, insbesondere Halbleiter-
speicherschaltung (10) mit in aneinander grenzenden Wannen
5 (11, 12) jeweils eines ersten und zweiten Leitungstyps, die
in einem Substrat gebildet sind, liegenden aktiven Bauelemen-
ten (15, 16), die jeweils Substratkontakte (17, 18) aufwei-
sen,

d a d u r c h g e k e n n z e i c h n e t ,

10 dass die Substratkontakte (17, 18) der aktiven Bauelemente
(15,16) in unmittelbarer Nähe einer die aneinander grenzenden
Wannen (11, 12) begrenzenden Kante (G) und die sonstigen
Strukturen der aktiven Bauelemente (15,16) weiter weg von
dieser Kante (G) liegen und dass die Schaltungs-

15 /Layoutstrukturen der Halbleiterschaltung nicht spiegelsym-
metrisch zu einer Mittellinie (M) des Halbleiterschaltungs-
chips (10) sind.

2. DRAM-Halbleiterschaltung (10) nach Anspruch 1,

20 d a d u r c h g e k e n n z e i c h n e t ,

dass die eine Wanne eine P-dotierte Wanne (12) und die andere
Wanne der aneinander grenzenden Wannen (11, 12) eine N-

dotierte Wanne (11) ist, wobei die aktiven Bauelemente (15)

25 in der P-dotierten Wanne (12) N-Kanal-FETs und die aktiven
Bauelemente (16) in der N-dotierten Wanne P-Kanal-FETs auf-

weisen und die Substratkontakte (17) der N-Kanal-FETs (15)
zur P-dotierten Wanne (12) und die Substratkontakte (18) der
P-Kanal-FETs (16) zur N-dotierten Wanne (11) in unmittelbarer
Nähe der Kante (G) zwischen den beiden Wannen (11,12) liegen.

30 3. Verfahren zur Herstellung einer integrierten Halbleiter-
schaltung, insbesondere Halbleiterspeicherschaltung (10), bei
dem durch Ionenstrahlimplantation mit einem schräg zu den
Kristallebenen stehenden bestimmten Einstrahlwinkel (α) des

35 Ionenstrahlbündels (B) in einem Substrat aneinander grenzende
Wannen (11, 12) jeweils eines ersten und zweiten Leitungstyps

implantiert und in den Wannen (11, 12) aktive Bauelemente (15, 16) mit jeweiligen Substratkontakten (17, 18) gebildet werden,

d a d u r c h g e k e n n z e i c h n e t ,

- 5 dass die Substratkontakte (17, 18) der aktiven Bauelemente (15, 16) in unmittelbarer Nähe einer die aneinander grenzen-
den Wannen (11, 12) begrenzenden Kante (G) und die sonstigen
Strukturen der aktiven Bauelemente (15, 16) in den aneinander
grenzenden Wannen (11, 12) weiter entfernt von dieser Kante
10 (G) sind, und dass die Schaltungs-/Layoutstrukturen für die
aktiven Bauelemente (15, 16) in der Halbleiterschaltung nicht
spiegelsymmetrisch zu einer Mittellinie (M) des Schaltungs-
chips (10) gebildet werden.

- 15 4. Verfahren nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t ,

- dass bei der Herstellung einer DRAM-Speicherschaltung (10)
jeweils eine P-dotierte und eine N-dotierte Wanne (12, 11)
direkt nebeneinander implantiert und in der P-dotierten Wanne
20 (12) N-Kanal-FETs (15) und in der N-dotierten Wanne P-Kanal-
FETs (16) als die aktiven Bauelemente gebildet werden und
dass die Substratkontakte (17) der N-Kanal-FETs (15) zur P-
dotierten Wanne (12) und die Substratkontakte der P-Kanal-
FETs (16) zur N-dotierten Wanne (11) in unmittelbarer Nähe
25 der Kante (G) zwischen den beiden Wannen (11, 12) gebildet
werden.

Zusammenfassung

Integrierte Halbleiterschaltung insbesondere Halbleiterspeicherschaltung und Herstellungsverfahren dafür

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung, insbesondere Halbleiterspeicherschaltung (10) mit in aneinander grenzenden Wannen (11, 12) jeweils eines ersten und zweiten Leitungstyps, die in einem Substrat gebildet sind, liegenden aktiven Bauelementen (15, 16), die jeweils Substratkontakte (17, 18) aufweisen, wobei die Substratkontakte (17, 18) in unmittelbarer Nähe einer die aneinander grenzenden Wannen (11, 12) begrenzenden Kante (G) und die sonstigen Strukturen der aktiven Bauelemente (15, 16) weiter weg von dieser Kante (G) liegen und die Schaltungs-/Layoutstrukturen der Halbleiterschaltung nicht spiegelsymmetrisch zur Mittellinie (M) des Schaltungschips (10) sind.

(Fig. 3)

Bezugszeichenliste

2	aktiver Transistorbereich
3	Fotoresist
10	DRAM-Chip
11	N-Wanne
12	P-Wanne
13	kritischer Bereich der N-Wanne
15	N-FETs
16	P-FETs
17	Kontakte zur P-Wanne
18	Kontakte zur N-Wanne
G, G1, G2	Grenze zwischen P- und N-Wanne
B	Ionenstrahlbündel
M	Mittellinie
S	Symmetrielinie
α	Einstrahlungswinkel des Ionenstrahlbündels
a1, a2	mit den gleichen Schaltungsstrukturen belegte Seitenbereiche der P-Wannen 12

FIG 1

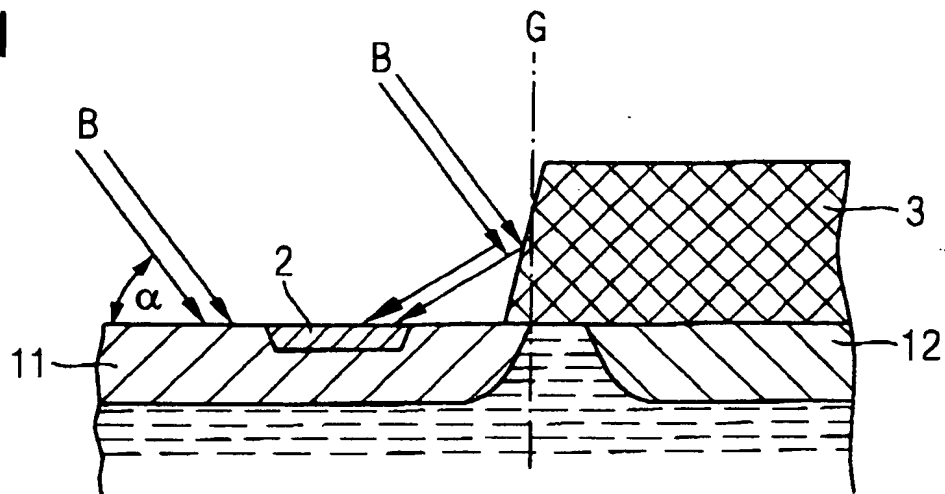


FIG 2A

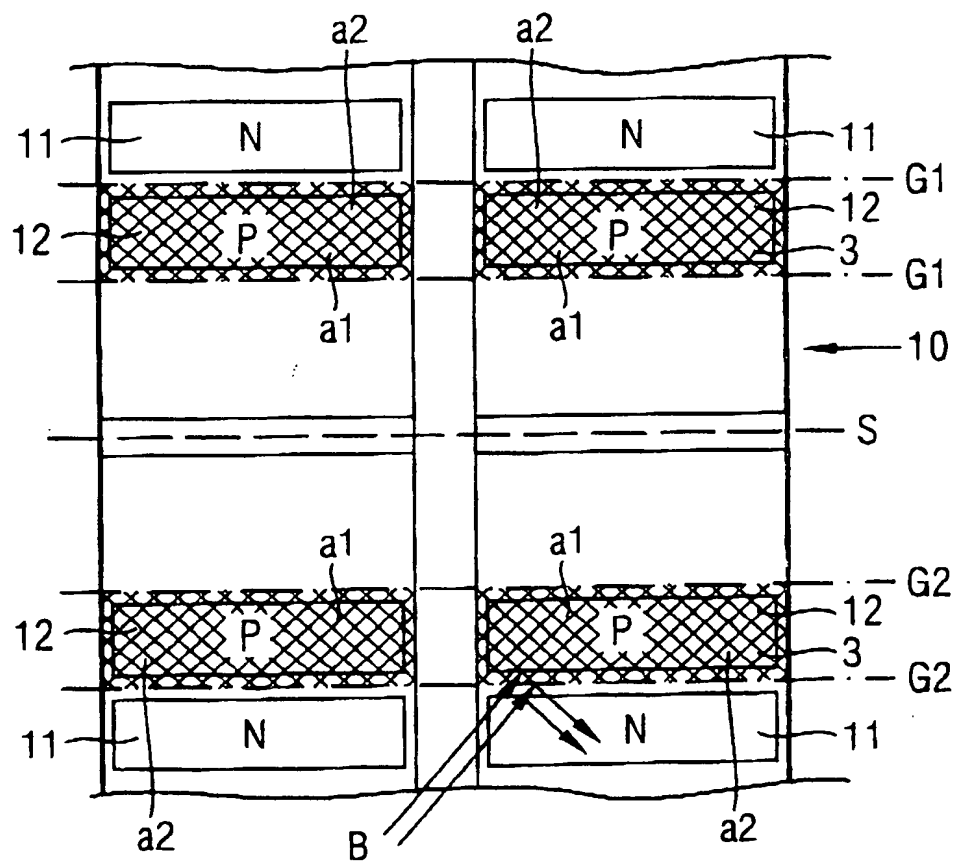


FIG 2B

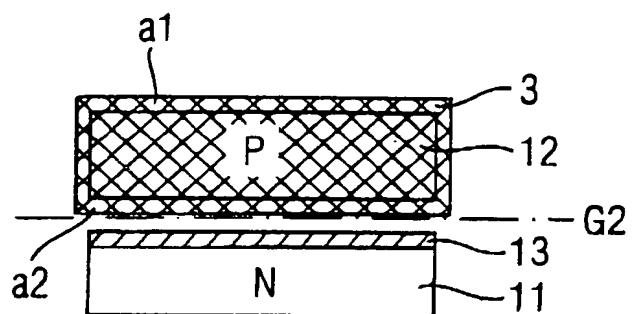


FIG 3

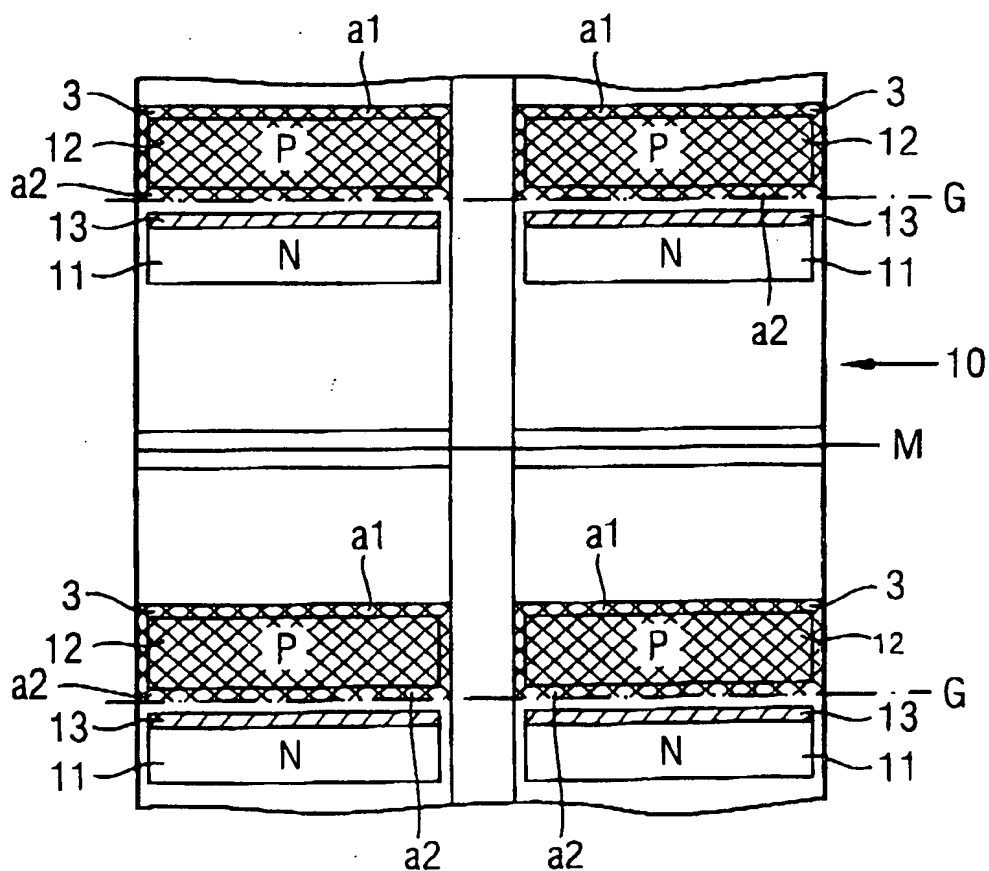
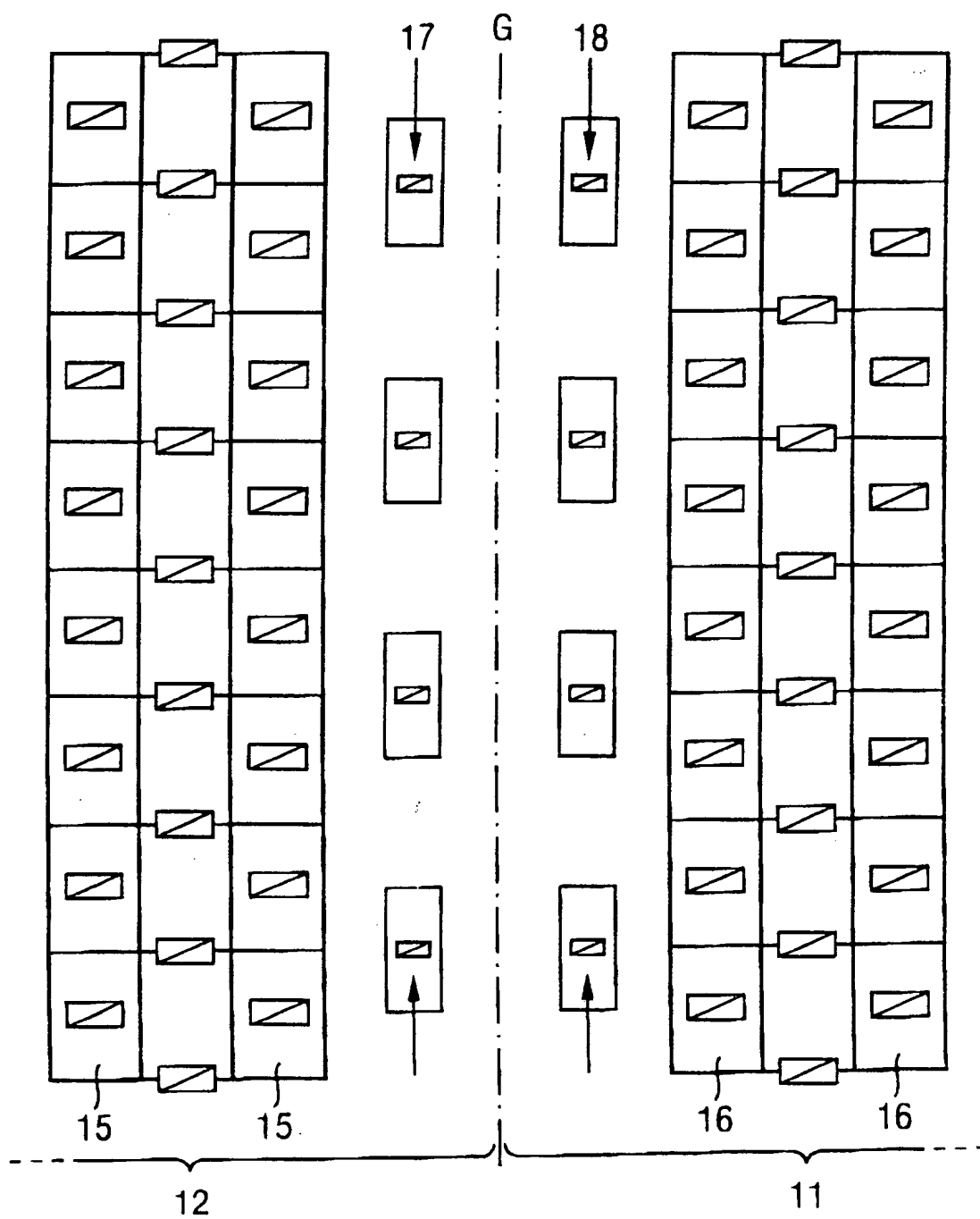


FIG 4



Figur für die Zusammenfassung

